

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260957

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H03F 1/30
H03F 3/195

(21)Application number : 08-201568

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.07.1996

(72)Inventor : TSURUOKA YOSHIYASU
MIMURO TAKAFUMI
KAWAI TAKAHISA

(30)Priority

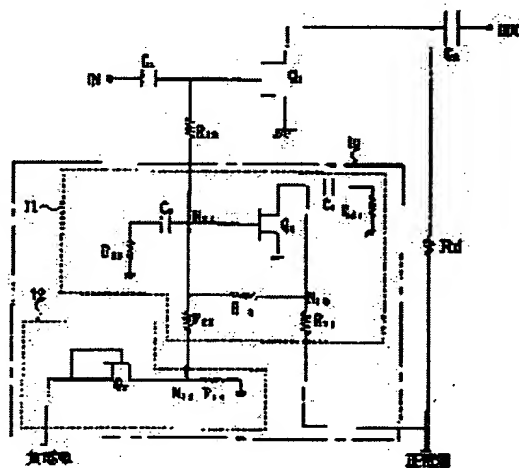
Priority number : 08 6230 Priority date : 18.01.1996 Priority country : JP

(54) SEMICONDUCTOR AMPLIFIER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To derive the maximum ability of a transistor for amplification and to sufficiently compensate for the dispersion in GaAs FET characteristics by directly connecting a positive power source to the drain electrode of the transistor.

SOLUTION: A bias circuit 10 of a gate voltage is connected through a high resistor R10 or any other inductance element to a gate electrode. The drain electrode is connected to the positive side power source and a sufficient voltage is applied between the drain and source. Between the drain electrode and the positive side power source, a prescribed resistance value Rd required for deriving the ability of a transistor Q1 at a maximum is interposed. The Rd has a small value and the drain voltage is not remarkably lowered in comparison with the power source. A bias circuit 10 is composed of a 1st bias generation circuit 11 composed of a voltage feedback type bias circuit part and a constant current circuit part 12 for decreasing/increasing an output voltage while following up the increase/decrease of a drain current caused by dispersion. Against the $\pm 40\%$ dispersion of saturated drain current and pinch-off voltage, the dispersion of a drain current is suppressed to about $\pm 5\%$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-260957

(43)公開日 平成9年(1997)10月3日

(51)Int.Cl.⁵H03F 1/30
3/195

識別記号

庁内整理番号

FI

H03F 1/30
3/195

技術表示箇所

Z

審査請求 未請求 請求項の数18 O L (全 10 頁)

(21)出願番号 特願平8-201568

(22)出願日 平成8年(1996)7月31日

(31)優先権主張番号 特願平8-6230

(32)優先日 平8(1996)1月18日

(33)優先権主張国 日本(JP)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 鶴岡 義保

北海道札幌市中央区北一条西2丁目1番地
富士通北海道デジタル・テクノロジー株
式会社内

(72)発明者 三室 貴文

北海道札幌市中央区北一条西2丁目1番地
富士通北海道デジタル・テクノロジー株
式会社内

(74)代理人 弁理士 土井 健二 (外1名)

最終頁に続く

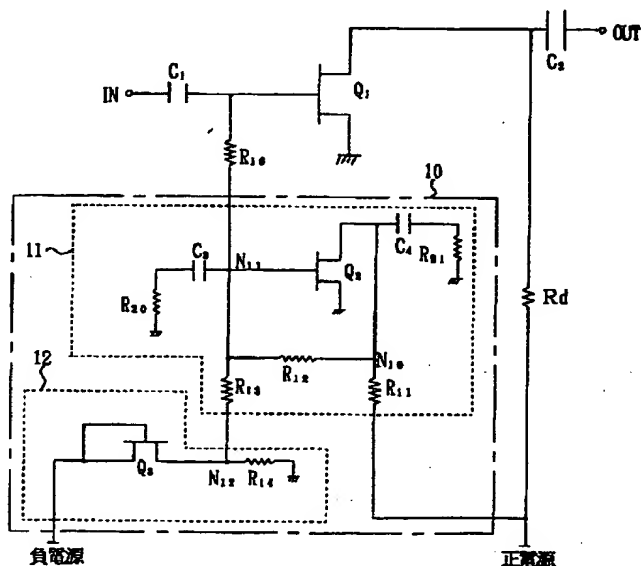
(54)【発明の名称】 半導体増幅回路

(57)【要約】 (修正有)

【課題】増幅用GaAsFETのばらつきに対して十分補償すること。

【解決手段】ゲートに入力信号が供給され、ドレインに増幅された出力信号が出力される増幅用の電界効果型トランジスタ素子と、ゲートにバイアス電圧を供給するバイアス回路とを有し、そのバイアス回路は、ダミーの電界効果型トランジスタ素子とそのゲートにバイアス電圧を供給する電圧帰還型バイアス回路とを有する第一のバイアス電圧発生部と、その電圧帰還型バイアス回路に、前記電界効果型トランジスタ素子のドレイン電流が増加する方向にばらついた場合にはより低い電位を供給し、当該ドレイン電流が減少する方向にばらついた場合にはより高い電位を供給する第二のバイアス電圧発生部とを有し、前記のダミーのトランジスタ素子のゲート電圧が、前記増幅用のトランジスタ素子のゲートにバイアス電圧として供給されることを特徴とする。

本発明の実施の形態の回路図(1)



【特許請求の範囲】

【請求項1】ゲートに入力信号が供給され、ドレインに増幅された出力信号が出力される増幅用の電界効果型トランジスタ素子と、
該増幅用のトランジスタ素子のゲートにバイアス電圧を供給するバイアス回路とを有し、
該バイアス回路は、
前記増幅用のトランジスタ素子と同一の基板上に形成された第一のダミーの電界効果型トランジスタ素子とそのゲートにバイアス電圧を供給する電圧帰還型バイアス回路とを有する第一のバイアス電圧発生部と、
該電圧帰還型バイアス回路に、前記電界効果型トランジスタ素子のドレイン電流が増加する方向にばらついた場合にはより低い電位を供給し、当該ドレイン電流が減少する方向にばらついた場合にはより高い電位を供給する第二のバイアス電圧発生部とを有し、
該第一のダミーのトランジスタ素子のゲート電圧が、前記増幅用のトランジスタ素子のゲートにバイアス電圧として供給されることを特徴とする半導体増幅回路。

【請求項2】請求項1記載の半導体増幅回路において、前記第一のバイアス電圧発生部は、
前記第一のダミーのトランジスタ素子のドレインと第一の電位との間に設けられた第一の抵抗と、該第一の抵抗とドレインとの接続点と該第一のダミートランジスタ素子のゲートとの間に設けられた第二の抵抗とを有することを特徴とする。

【請求項3】請求項2記載の半導体増幅回路において、前記第二のバイアス電圧発生部は、
前記増幅用のトランジスタ素子と同一基板上に形成された第二のダミーの電界効果型トランジスタ素子と所定の抵抗素子との直列回路が所定の電位間に設けられ、該第二のダミーのトランジスタ素子と所定の抵抗素子との接続点の電位が、前記ゲート側に供給されることを特徴とする。

【請求項4】請求項3記載の半導体増幅回路において、前記第二のダミーのトランジスタ素子に並列に所定数のショットキー・ダイオードが接続されたことを特徴とする。

【請求項5】請求項3記載の半導体増幅回路において、前記所定の抵抗素子に並列に所定数のショットキー・ダイオードが接続されたことを特徴とする。

【請求項6】請求項3記載の半導体増幅回路において、前記第二のダミーのトランジスタ素子と所定の抵抗素子との直列回路に各々並列に所定数のショットキー・ダイオードが接続されたことを特徴とする。

【請求項7】請求項2記載の半導体増幅回路において、前記第二のバイアス電圧発生部は、
前記増幅用のトランジスタ素子と同一基板上に形成された第二のダミーの電界効果型トランジスタ素子と第四の抵抗素子との第一の直列回路が所定の電位間に設けら

れ、
更に、前記第二のダミーのトランジスタ素子と第四の抵抗素子との接続点と所定の電位との間に、前記増幅用のトランジスタ素子と同一基板上に形成された第三のダミーの電界効果型トランジスタ素子と第五の抵抗素子との第二の直列回路が設けられ、
該第三のダミーのトランジスタ素子と第五の抵抗素子との接続点の電位が、前記第一のダミートランジスタのゲート側に供給されることを特徴とする。

【請求項8】請求項7記載の半導体増幅回路において、前記第三のダミートランジスタ素子のソースを負電源に接続し、前記第二のダミートランジスタ素子のソースを負電源または接地電源に接続し、前記第四の抵抗素子を正電源に接続したことを特徴とする。

【請求項9】請求項7記載の半導体増幅回路において、前記第三のダミートランジスタ素子のソースを負電源に接続し、前記第二のダミートランジスタ素子のソースを負電源に接続し、前記第四の抵抗素子を接地電源に接続したことを特徴とする。

【請求項10】請求項2記載の半導体増幅回路において、
前記第二のバイアス電圧発生部は、
前記増幅用のトランジスタ素子と同一基板上に形成された第二のダミーの電界効果型トランジスタ素子と第四の抵抗素子との第一の直列回路と、
前記増幅用のトランジスタ素子と同一基板上に形成された第三のダミーの電界効果型トランジスタ素子と第五の抵抗素子との第二の直列回路とを有し、
該第二のダミーのトランジスタ素子と第四の抵抗素子との接続点と該第五の抵抗素子とが接続され、該第二のダミートランジスタのソースが該第三のダミーのトランジスタ素子と第五の抵抗素子との接続点に接続され、該第二のバイアス電圧発生部が所定の電位間に設けられ、
該第三のダミーのトランジスタ素子と第五の抵抗素子との接続点の電位が、前記第一のダミートランジスタのゲート側に供給されることを特徴とする。

【請求項11】請求項10記載の半導体増幅回路において、
前記第三のダミートランジスタ素子のソースを負電源に接続し、前記第四の抵抗素子を正電源または接地電源に接続したことを特徴とする。

【請求項12】請求項2記載の半導体増幅回路において、
前記第二のバイアス電圧発生部は、
前記増幅用のトランジスタ素子と同一基板上に形成された第四のダミーの電界効果型トランジスタ素子と第六の抵抗素子との第三の直列回路が所定の電位間に設けられ、
更に、前記第四のダミーのトランジスタ素子と第六の抵抗素子との接続点と所定の電位との間に、前記増幅用の

トランジスタ素子と同一基板上に形成された第五のダミーの電界効果型トランジスタ素子と第七の抵抗素子との第四の直列回路が設けられ、

該第五のダミーのトランジスタ素子と第七の抵抗素子との接続点の電位が、前記第一のダミートランジスタのゲート側に供給されることを特徴とする。

【請求項13】請求項12記載の半導体増幅回路において、前記第四のダミートランジスタ素子のソースを負電源に接続し、前記第六の抵抗素子を正電源または接地電源に接続し、前記第七の抵抗素子を正電源に接続したことを特徴とする。

【請求項14】請求項12記載の半導体増幅回路において、前記第四のダミートランジスタ素子のソースを負電源に接続し、前記第六の抵抗素子を接地電源に接続し、前記第七の抵抗素子を接地電源に接続したことを特徴とする。

【請求項15】請求項2記載の半導体増幅回路において、前記第二のバイアス電圧発生部は、前記増幅用のトランジスタ素子と同一基板上に形成された第四のダミーの電界効果型トランジスタ素子と第六の抵抗素子との第三の直列回路と、前記増幅用のトランジスタ素子と同一基板上に形成された第五のダミーの電界効果型トランジスタ素子と第七の抵抗素子との第四の直列回路とを有し、該第四のダミーのトランジスタ素子と第六の抵抗素子との接続点と該第五のダミートランジスタのソースとが接続され、該第六の抵抗素子が該第五のダミーのトランジスタ素子と第七の抵抗素子との接続点に接続され、該第二のバイアス電圧発生部が所定の電位間に設けられ、該第五のダミーのトランジスタ素子と第七の抵抗素子との接続点の電位が、前記第一のダミートランジスタのゲート側に供給されることを特徴とする。

【請求項16】請求項15記載の半導体増幅回路において、前記第四のダミートランジスタ素子のソースを負電源に接続し、前記第七の抵抗素子を正電源または接地電源に接続したことを特徴とする。

【請求項17】請求項2乃至16の何れかに記載の半導体増幅回路において、前記第一のダミーのトランジスタのゲートに、入力結合キャパシタを介して終端抵抗が接続され、ドレインに出力結合キャパシタを介して別の終端抵抗が接続されたことを特徴とする。

【請求項18】電力源からドレインに第一の抵抗値を介して電流を供給する増幅用の電界効果型トランジスタ素子と、前記増幅用の電界効果型トランジスタ素子のゲートにバイアス電圧を供給するバイアス回路とを有し、

前記バイアス回路は、

前記増幅用の電界効果型トランジスタ素子と同一の基板上に形成されたダミーの電界効果型トランジスタ素子と、当該ダミーの電界効果型トランジスタ素子のドレインに前記第一の抵抗値よりも大きな第二の抵抗値を介して電流を供給すると共に、そのゲートにバイアス電圧を供給する回路を備えており、前記ダミーの電界効果型トランジスタ素子のゲート電圧が、前記増幅用の電界効果型トランジスタ素子のゲートにバイアス電圧として供給されることを特徴とする半導体増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体増幅回路に関し、特にGaAsFETを利用した電力増幅回路のバイアス回路の改良に関するものである。

【0002】

【従来の技術】GaAs等の半絶縁性の半導体基板上にショットキー型のゲート電極を形成したFETが高周波信号の電力増幅器として広く使用されている。例えば、携帯電話等の移動体通信端末の様に小型化が必要な装置において、MMIC (Microwave Monolithic Integrated Circuit) の形で使用されている。

【0003】図14が、基本的なGaAsFETを利用した電力増幅回路である。トランジスタQ1のゲート電極に入力結合キャパシタC1を介して高周波入力信号INが入力され、ドレイン電極に出力結合キャパシタC2を介して増幅された高周波出力信号OUTが出力される。ゲート電極には、グランド電位と負電源との間で抵抗R1、R2によって抵抗分割されて形成されたゲートのバイアス電圧が印加される。また、ドレイン電極は正電源に図示しないドレイン抵抗を介して接続され、ゲート・ソース間に正電源一杯の電圧が印加される。

【0004】かかるトランジスタは、通常半絶縁性の半導体基板表面に不純物を導入したソース・ドレイン間のチャネル領域上にショットキー型のゲート電極を形成することで構成される。そして、そのゲート電極はチャネル領域表面に形成したりセス領域内に形成される。このようなリセス構造、あるいはチャネル領域を形成する際の製造上のばらつきにより、ドレイン電流がばらついてしまうことは避けられない状況にある。GaAsFETのMMIC化を進める上でこのドレイン電流のばらつきを如何に抑えるかは、特に重要な問題である。

【0005】製造上の問題からばらつくパラメータとしては、ゲート・ソース間電位をゼロにした時のドレイン飽和電流 I_{DSS} と、ゲート・ソース間に負の電圧を印加してゲート電極から伸びる空乏層がチャネル領域の底まで達してドレイン電流がゼロになった時のゲート・ソース間電圧であるピンチオフ電圧 V_p がある。図5にその

ばらつきの様子を示す通り、ドレイン飽和電流 I_{DSS} とピンチオフ電圧 V_p とを結ぶ曲線が、矢印で示した様に平行移動するようにばらつくことが知られている。

【0006】従って、図15中の実線の如き特性を予定して、ゲートバイアス電圧を V_{G1} のように設定してその時のドレイン電流が I_{DS1} になるようにしても、トランジスタのばらつきによって、ドレイン電流 I_{DS1} が一定にならないという問題がある。そのため、図16のドレイン電流とばらつき度の関係をシミュレーションで求めたグラフに示される通り、ばらつき度によってドレイン電流 I_{DS} は大きく異なることになる。即ち、ドレイン飽和電流 I_{DSS} とピンチオフ電圧 V_p を相関性を持って $\pm 40\%$ ばらつかせると、標準ドレイン飽和電流 I_{DSS} が 50mA の FET を、抵抗 R_1 , R_2 を調整してドレイン電流 I_{DS} を 20mA にする様にゲートバイアス電圧を設定した場合、ドレイン電流 I_{DS} が約 $\pm 80\%$ 程度ばらつくことになる。

【0007】このばらつきを補償する例として、従来から図17に示す電圧帰還型バイアス回路が知られている。このバイアス回路では、3個の抵抗 R_3 , R_4 , R_5 を図の通りに接続した構成になっている。この回路によれば、トランジスタ Q_1 のドレイン電流 I_{DS} が増加する方向にばらついたとすると、その増加したドレイン電流 I_{DS} によってノード N_1 の電位が下がり、同様に抵抗 R_3 , R_4 で抵抗分割しているノード N_2 の電位も下がり、その結果ゲートバイアス電圧が負の方向に深くなりドレイン電流 I_{DS} を抑える方向に補償することになる。この結果、図16と同様のシミュレーション結果は、図18に示す通り改善される。即ち、トランジスタの $\pm 40\%$ のばらつきに対してドレイン電流 I_{DS} が $16-24\text{mA}$ と、 $\pm 20\%$ 程度となっている。

【0008】

【発明が解決しようとする課題】このように電圧帰還型のバイアス回路を用いることにより、図14の如き固定バイアス回路の場合よりもデバイスのばらつきに対するドレイン電流のばらつきをかなり補償することができるが、それでも、依然として $\pm 20\%$ のばらつきが残っていることになる。より精度の高い電力増幅回路が求められる携帯電話のような場合には、このようなばらつきも無視することができない。

【0009】更に、図17の電圧帰還型バイアス回路にはいくつかの問題がある。第一に、携帯電話の如き移動体通信端末に用いられる電力増幅器は特性と効率の規格が非常に厳しく、極力 FET の能力を最大限引き出さなければならない。ところが、図17の電圧帰還型のバイアス回路では、ドレイン電極と正電源との間に抵抗 R_5 が接続されているために、ドレイン電流が流れると電圧降下が生じ、ドレインに印加される電圧は電源電圧よりも低くなり、飽和電力等の高周波特性が劣化することになる。

【0010】第二に、図19は高周波の入力電力と出力電力及びドレイン電流の関係を示すグラフであるが、通常の FET では実線の如き特性を示すが、図17の電圧帰還型バイアス回路を利用すると破線の如き特性を示すことになる。即ち、通常の FET では、実線の様に高周波 (RF) 入力電力が増加するとこれに追従してドレイン電流も増幅し、飽和出力電力も上昇することになる。しかし、図17のバイアス回路を電力増幅器のトランジスタ Q_1 に直接接続して採用すると、高周波入力電力が増加しても前述の通りドレイン側に接続された抵抗 R_5 によりドレイン電流の増加が抑えられて、図中の破線の如き特性になる。その結果、出力側の飽和出力電力も低下してしまうことになる。

【0011】そこで、本発明の目的は、トランジスタの製造上のばらつきに対して、入力に高周波入力信号が供給されていない時は一定のドレイン電流を出力することができる様にアクティブに動作するバイアス回路を有する増幅回路を提供することにある。

【0012】また、本発明の別の目的は、増幅回路の FET に対してドレイン・ソース間に十分な電圧を印加してその能力を最大限に引き出すことができるバイアス回路を有する増幅回路を提供することにある。

【0013】更に、本発明の別の目的は、高周波入力信号が供給された時には、入力電力の増加に追従してドレイン電流も増加する増幅回路を提供することにある。

【0014】

【課題を解決するための手段】上記目的は、本発明によれば、ゲートに入力信号が供給され、ドレインに増幅された出力信号が出力される増幅用の電界効果型トランジスタ素子と、該増幅用のトランジスタ素子のゲートにバイアス電圧を供給するバイアス回路とを有し、該バイアス回路は、前記増幅用のトランジスタ素子と同一の基板上に形成された第一のダミーの電界効果型トランジスタ素子とそのゲートにバイアス電圧を供給する電圧帰還型バイアス回路とを有する第一のバイアス電圧発生部と、該電圧帰還型バイアス回路に、前記電界効果型トランジスタ素子のドレイン電流が増加する方向にばらついた場合にはより低い電位を供給し、当該ドレイン電流が減少する方向にばらついた場合にはより高い電位を供給する第二のバイアス電圧発生部とを有し、該第一のダミーのトランジスタ素子のゲート電圧が、前記増幅用のトランジスタ素子のゲートにバイアス電圧として供給されることを特徴とする半導体増幅回路を提供することにより達成される。

【0015】更に、前記第一のバイアス電圧発生部は、具体的にいうと、前記ダミーのトランジスタ素子のドレインと第一の電位との間に設けられた第一の抵抗と、該第一の抵抗とドレインとの接続点とゲートとの間に設けられた第二の抵抗とを有する。

【0016】また、前記第二のバイアス電圧発生部は、

前記増幅用のトランジスタと同一基板上に形成された第二のダミーの電界効果型トランジスタ素子と所定の抵抗素子との直列回路が所定の電位間に設けられ、該第二のダミーのトランジスタ素子と所定の抵抗素子との接続点の電位が、前記ゲート側に供給される。

【0017】上記の構成により、本発明の増幅回路に使用するバイアス回路は、高周波入力信号が無い時にはドレイン電流が一定の定電流回路として動作し、高周波入力信号がある時には入力電力の増加に追従してドレイン電流も追従するという理想的な動作を実現することができる。また、ドレイン電極と正電源との間に電圧降下を起こす抵抗が直列に接続されていないために、ドレイン・ソース間に十分な電圧を印加することができ、トランジスタの能力を一杯に利用することができる。そして、ドレイン電流のばらつきに対応してゲートバイアス電圧を、従来の電圧帰還型バイアス回路よりも大きく変動させることができ、電流補償効果をより大きくすることができる。しかも、GaAsFETの集積回路として同じ基板上にバイアス回路の各トランジスタや抵抗素子を形成することができ、極めて簡単に製造することができる。

【0018】

【発明の実施の形態】以下図面に従って、本発明の実施の形態について説明する。以下に示す回路等は実施の形態の例であって本発明の技術思想がかかる例に限定されないのは明らかである。

【0019】図1は第一の実施の形態の回路図である。増幅トランジスタQ1のGaAsFET、入力結合キャパシタC1、出力結合キャパシタC2は、従来例と同じである。そして、ゲート電圧のバイアス回路10が一点鎖線の如き回路で実現されていて、高抵抗R10または他のインダクタンス素子を介してゲート電極に接続されている。そして、ドレイン電極は正側の電源に接続され、ドレイン・ソース間に十分な電圧が印加されるようになっている。尚、ドレイン電極と正側の電源との間には、トランジスタQ1の能力を最大限に引き出すに必要な所定の抵抗値Rdが介在されている。この抵抗値は、望ましくは0であり、或いは例えば接続配線によって出来る寄生抵抗によって実現される場合もあれば、所定の小さい抵抗素子を挿入することによって実現される場合もある。このドレイン抵抗Rdは、図7の抵抗R5と比較して非常に小さい抵抗値を持ち、ドレイン電圧が電源に比較して大きく低下することはない。

【0020】バイアス回路10は、大きく分けると、電圧帰還型バイアス回路部からなる第一のバイアス電圧発生部11とばらつきによるドレイン電流の増減に追従して出力電圧を低下/増加する定電流回路部12からなる第二のバイアス電圧発生部とから構成される。電圧帰還型バイアス回路部11は、増幅トランジスタQ1と同じ半導体基板上に同じ製造プロセスによって形成されるが

そのサイズは小さいダミー・トランジスタQ2と、抵抗R11、R12、R13から構成される。即ち、図7で示した電圧帰還型バイアス回路と同等の構成になっている。そして、トランジスタQ2のゲート側には、ダミーの入力結合キャパシタC3と終端抵抗R20、ドレイン側には同様に出力結合キャパシタC4と終端抵抗R21が接続されている。ダミー・トランジスタQ2のドレイン側の抵抗R11は、前述した増幅用のトランジスタQ1のドレイン電極と正電源の間に介在する小さな抵抗値よりも十分大きい抵抗値を有する。

【0021】ダミー・トランジスタQ2は、増幅用のトランジスタQ1と同じ半導体基板上に同じ製造プロセスに従って製造されるために、ドレイン飽和電流やピンチオフ電圧も同様の傾向をもってばらつくことになる。従って、今増幅用のトランジスタQ1の特性がドレイン電流が増加する方向にばらついたとすると、ダミー・トランジスタQ2も同様に増加する方向にばらつくことになる。その場合は、図7で説明したのと同様に、ノードN10の電位が抵抗R11の電圧降下により低下し、同時にノードN11の電位も低下することになる。但し、その補償の程度は図7と同程度ということになる。

【0022】バイアス回路10のもう一つの回路部である定電流回路部12では、ドレイン電流のばらつきに従って、ノードN12の電位を下げたり上げたりする機能を有している。即ち、増幅トランジスタQ1のドレイン電流が増加する方向にばらつくともノードN12の電位を低下させ、ドレイン電流が減少する方向にばらつくともノードN12の電位を増加させるのである。その結果、ノードN10とノードN12間に接続されている抵抗R12とR13の抵抗分割された電位を持つノードN11も、その分電位が低下または上昇することになる。言い換えると、増幅トランジスタQ1のバイアス電圧をより深く下げたりより浅く押し上げたりすることになる。

【0023】図1の定電流回路部12の例では、第二のダミー・トランジスタQ3と抵抗R14を、グランド電位と負電源との間に直列接続した構成になっている。第二のダミー・トランジスタQ3は、第一と同様に増幅用のトランジスタQ1と同一半導体基板上に同じ製造プロセスで形成される小さいトランジスタである。従って、増幅用のトランジスタQ1のドレイン電流が増加する方向にばらつくとも、第二のダミー・トランジスタQ3のドレイン電流も増加する。ダミー・トランジスタQ3はそのゲート・ソース間が短絡されている為、所定の条件下では一定の電流を流す定電流源となりノードN12の電位を一定に保つことになる。そして、トランジスタQ3のドレイン電流が増加すると、抵抗R14の電圧降下が増加し、ノードN14の電位が低下することになる。従って、ノードN11のバイアス電圧はその分より深く低下することになり、図8に示したばらつきに対するドレイン電流は一定になるよう改善される。逆に、ドレイン

電流が減少するとノードN11のバイアス電圧はその分浅く上昇することになる。

【0024】図1に示した回路例では、バイアス回路10内の定電流回路部12の抵抗R14がグランド電位に接続されていたが、これが正電源に接続されていても同様の効果を得ることができる。その場合は、それに見合った抵抗R14の値が設定されることになる。

【0025】更に、図1に示した回路例では、電圧帰還型のバイアス回路11に更に定電流回路12が接続される。従って、場合によっては、抵抗R13を省略することも可能である。

【0026】図2は、第二の実施の形態の例の回路図である。図1の回路例において、定電流回路部12がそのノードN12の電位をドレイン電流のばらつきに応じて降下または上昇させることで、補償効果を得ていたが、その補償効果が過剰になりすぎる場合には、図2の如く抵抗R14に並列に所定個のショットキーダイオードSD1を、またはトランジスタQ3に並列に所定個のショットキーダイオードSD2を設けることで、微調整を行なうことができる。

【0027】例えば、今ドレイン電流が増加する方向にばらついた場合には、トランジスタQ3のドレイン電流も増加し、抵抗R14の電圧降下が大きくなって、ノードN12の電位が低下することになる。そして、抵抗R14の電圧降下がある値に達すると並列に設けたショットキーダイオードSD1がオンして、抵抗R14の両端の電圧をクランプすることになる。従って、ノードN12の電位は、グランド電位からショットキーダイオードSD1のオン電圧値分低い値にクランプされて、それ以上深くなることはなくなる。

【0028】一方、ドレイン電流が減少する方向にばらついた場合には、トランジスタQ3のドレイン電流も低下し、抵抗R14の電圧降下が少なくなり、ノードN12の電位も増加することになる。そして、抵抗R14の電圧降下がある値以下になるとトランジスタQ3のソース・ドレイン間電圧が大きくなり、並列に接続したショットキーダイオードSD2をオンさせることになる。その結果、トランジスタQ3のソース・ドレイン間電圧がクランプされて、ドレイン電流もクランプされ、ノードN12の電位が上昇し過ぎるのを防止することができる。

【0029】何れの場合でも、ショットキーダイオードの個数を適宜設定することにより、所望の補償効果の調整を行なうことができる。

【0030】あるいは、別の例として図示しないが、トランジスタQ3と抵抗R14からなる直列回路の各々に並列に所定個数のショットキーダイオードを接続することも有効である。この場合には、直列回路の両端に印加される電圧値がダイオードの個数から決定され、その範囲での電圧の補償を行なうことになる。

【0031】図3は、第三の実施の形態の例の回路図である。この例では、定電流回路12による補償効果をさらに上げるために、トランジスタと抵抗の直列回路を2段構成にしている。トランジスタQ4と抵抗R15からなる定電流回路に更にノードN13と負電源との間にトランジスタQ5と抵抗R16からなる定電流回路が設けられ、そのノードN14に抵抗R13が接続されている。

【0032】かかる構成を取ることにより、ドレイン電流のばらつきに応じてノードN13の電位が低下または上昇し、その低下または上昇したノードN13の電位に対して、さらにトランジスタQ5と抵抗R16からなる回路によってドレイン電流のばらつきに応じてノードN14の電位が低下または上昇する。従って、ノードN14の電位をより広範囲に変動させることができ、より補償効果を上げることができる。

【0033】尚、図2、3の場合も、図1の例と同様に抵抗R13は省略することができる。

【0034】図4は、図3の第三の実施の形態の定電流回路12の他の回路例である。図3の定電流回路12では、トランジスタQ4のソース端子側を接地したが、図4の例ではトランジスタQ4のソース端子側をトランジスタQ5と共に負電源に接続している。それに従って、図4の回路では抵抗値R15の値が図3の場合と異なる。回路設計上、接地端子よりも負電源のほうが都合が良い場合に有用である。定電流回路としての機能は図3の場合と同じである。

【0035】図5は、更に図4の定電流回路12の変形例であり、抵抗R15のノードN13側と反対の端子が正電源ではなく接地電位に接続されている。図3、4、5の何れの定電流回路12であっても、トランジスタQ4と抵抗R15とによりノードN13にトランジスタのドレイン電流のばらつきに応じた電位が形成され、その電位と負電源との間のトランジスタQ5と抵抗R16とにより、更にドレイン電流のばらつきに応じた電位がノードN14に生成される。

【0036】図6、7は、更に図3の定電流回路12の変形例である。この例では、トランジスタQ4のソース端子側をグランドや負電源ではなく、ノードN14に接続している。図6は抵抗R15を正電源に接続した例で、図7は接地した例であり、回路の動作としては同等である。

【0037】この回路では、抵抗R15とトランジスタQ4でドレイン電流に応じた電位がノードN13に生成され、更に抵抗R16とトランジスタQ5でドレイン電流に応じた電位がノードN14に生成される。

【0038】図8は、更に図3の定電流回路12の変形例である。この例でも、2段の定電流回路によりより広いバイアスレンジをノードN24に与えている点で、前述の定電流回路12と同じである。グランドと負電源と

の間に設けられたトランジスタQ14と抵抗R27からなる定電流回路では、ドレイン電流が大きいまたは小さいのに応じて、ノード23の電位が低い（深い）または高く（浅く）なる。そして、そのノードN23と正電源との間のトランジスタQ15と抵抗R26からなる定電流回路でも、ドレイン電流の大きいまたは小さいに応じてノードN24の電位が低い（深い）または高く（浅く）なる。従って、第一のバイアス電圧発生回路11に与える電位はドレイン電流に応じて広いレンジで変化する。

【0039】図9、10の定電流回路12は、図8の変形例であり、図9では、抵抗R27が正電源に接続されていて、図10では抵抗R26、27が共にグランドに接続されている。回路の動作は、図8と同等であり説明は省略する。

【0040】図11、12の定電流回路12は、更に図8の変形例である。図6、7と同様に、図11、12の定電流回路12では、抵抗R27のノードN23側と反対端子がノードN24に接続している。図11が、正電源に抵抗R26が接続されているのに対して、図12の例ではグランドに接続されている。これらの回路の動作も図8と同等であり説明は省略する。

【0041】図13は、本発明の増幅回路の他の実施の形態例である。この例では、増幅トランジスタQ1のゲートに与えるバイアス回路10は、ダミートランジスタQ2を利用した電圧期間型のバイアス回路11だけで構成されている。従って、図17の電圧増幅回路に比較して、図19で示した高周波出力電力値が高くない（図中破線）という問題点は解決される。この回路の場合でも、図1～3と同様に、増幅トランジスタQ1のドレイン端子は、直接正電源に接続されるか、あるいは無視できる程度のドレイン抵抗 R_d を介して正電源に接続される。従って、増幅トランジスタQ1のドレイン・ソース間には正電源の電圧がそのまま印加されることになる。

【0042】図1、2、3等のアクティブバイアス回路10内の抵抗は、半導体基板上に形成される場合、その構造あるいは製造工程によっては抵抗値が±30%程度ばらつくことがある。その場合は、バイアス回路10内の抵抗の全て或いは一部を精度の高い単体のチップ抵抗を使用して、MMICに接続することも有効な場合がある。

【0043】

【発明の効果】以上説明した通り、本発明によれば、増幅用のトランジスタのドレイン電極に直接正電源を接続

させることができるので、ドレイン電圧を落とすことなく使用することができ、トランジスタの最大の能力を引き出すことができると共に、高周波入力信号の電力増加に追従してドレイン電流も増加し、出力電力も増加させることができる。また、従来の電圧帰還型バイアス回路よりもドレイン電流をより一定値になる様に補償することができる。本発明者が図16、18と同様のシミュレーションを行なったところ、本発明の回路では、±40%の飽和ドレイン電流とピンチオフ電圧のばらつきに対してドレイン電流は±5%程度にすることができた。

【図面の簡単な説明】

【図1】本発明の実施の形態の回路図（1）である。

【図2】本発明の実施の形態の回路図（2）である。

【図3】本発明の実施の形態の回路図（3）である。

【図4】図3の定電流回路12の変形回路図である。

【図5】図3の定電流回路12の変形回路図である。

【図6】図3の定電流回路12の変形回路図である。

【図7】図3の定電流回路12の変形回路図である。

【図8】図3の定電流回路12の変形回路図である。

【図9】図3の定電流回路12の変形回路図である。

【図10】図3の定電流回路12の変形回路図である。

【図11】図3の定電流回路12の変形回路図である。

【図12】図3の定電流回路12の変形回路図である。

【図13】本発明の実施の形態の回路図（4）である。

【図14】従来の電圧増幅回路である。

【図15】トランジスタのばらつきを示す $V_G - I_{DS}$ 曲線図である。

【図16】ばらつきのシミュレーション結果の図である。

【図17】従来の電圧帰還型バイアス回路の電圧増幅回路である。

【図18】図17のばらつきのシミュレーション結果の図である。

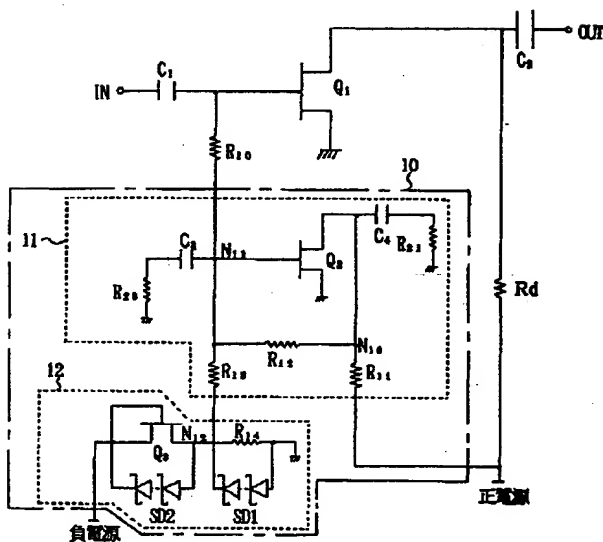
【図19】図17の問題点を示す特性図である。

【符号の説明】

Q1	増幅用の電界効果型トランジスタ素子
10	バイアス電圧回路
11	第一のバイアス電圧発生部、電圧帰還型バイアス回路
12	第二のバイアス電圧発生部、定電流回路
Q2	第一のダミー・トランジスタ
Q3	第二のダミー・トランジスタ
Q4	第三のダミー・トランジスタ
R11, R12, R13	第一、第三、第二の抵抗

【図 2】

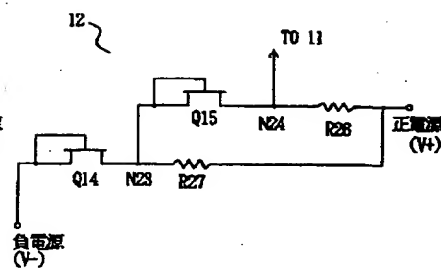
本発明の実施の形態の回路図（２）



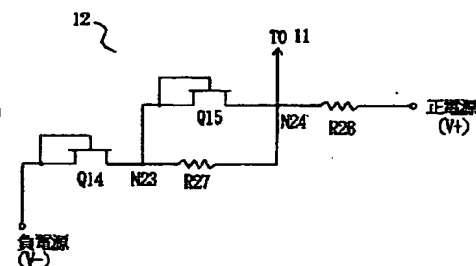
【図 3】

The circuit diagram shows a power source (V-) connected to a network of transistors (Q4, Q5), resistors (R13, R14, R15, R16), and a load (TO 11). The circuit is grounded (GND). Transistor Q5 is connected to the power source and its gate is connected to its drain through resistor R14. Transistor Q4 is connected to the power source and its gate is connected to its drain through resistor R13. The drains of Q4 and Q5 are connected to a common node that is connected to the load (TO 11) through resistor R16. The gates of Q4 and Q5 are also connected to a common node that is connected to ground (GND) through resistor R15.

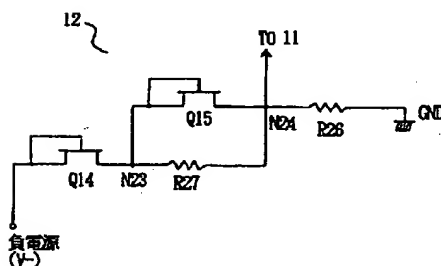
【图9】



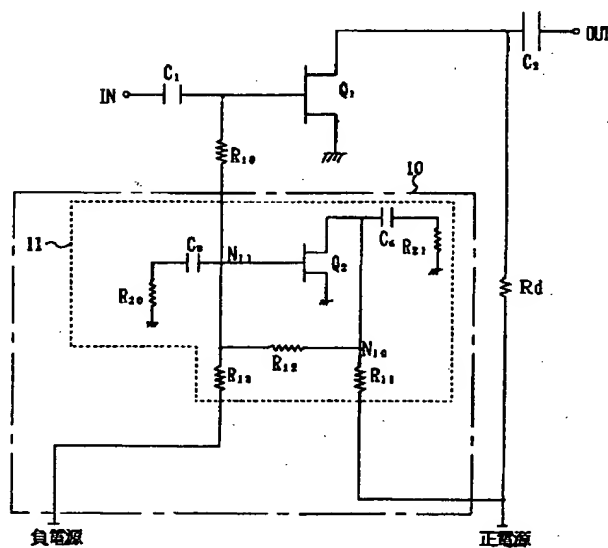
【图 1-1】



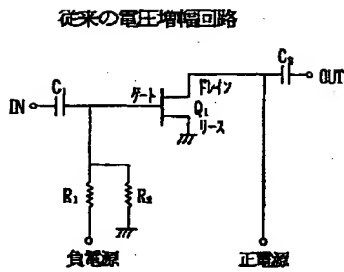
【图 13】



本発明の実施の形態の回路図（４）



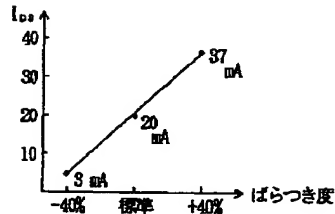
【図14】



【図18】

【図16】

ばらつきのシミュレーション結果の図 従来の電圧帰還型バイアス回路の電圧増幅回路



【図19】

【図17】

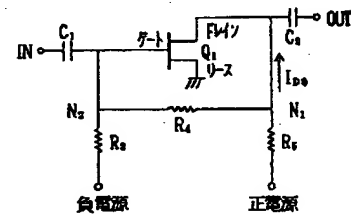
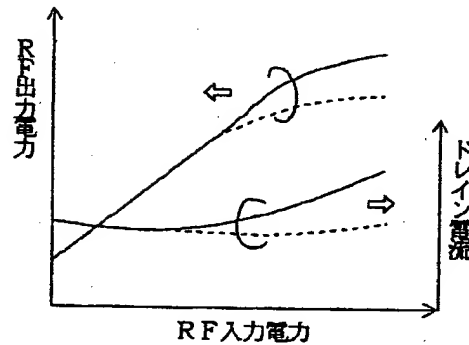
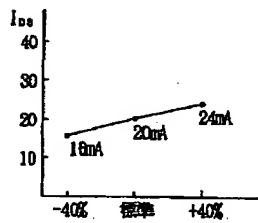


図17のばらつきのシミュレーション結果図

図17の問題点を示す特性図



フロントページの続き

(72)発明者 川合 貴久

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内